

AUTOMATIC GAIN CONTROL CIRCUIT

Patent Number: JP9266422
Publication date: 1997-10-07
Inventor(s): SHIINO HARUHIRO; YAMAGUCHI NORIO
Applicant(s): OKI ELECTRIC IND CO LTD
Requested Patent: ☐ JP9266422
Application Number: JP19960073766 19960328
Priority Number(s):
IPC Classification: H03G3/20; H03G3/30
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To speedily and smoothly converge the level of an input signal on a target level.

SOLUTION: This circuit is equipped with a gain control amplifier 11 which adjusts the level of an input signal, gain control means 13, 14, 15, 18, and 19 which control the gain of this amplifier 11, and a coefficient control circuit 20 which applies a variable coefficient to the gain control means to adjust follow-up characteristics as to the level variation of the input signal. As the coefficient, an initial value $\beta(1)$ with fastest follow-up characteristics corresponding to a rise time and a convergence value $\beta(n)$ with high stability corresponding to ordinary reception are set, and this coefficient is monotonously varied from the initial value $\beta(1)$ and converted on the convergence value $\beta(n)$ a certain time later. An operation time $\tau(i)$ is made longer and the coefficient value $\beta(i)$ smaller with time. Consequently, the level of the input signal is made to speedily follow up the target level in the beginning and then converged gently and smoothly thereafter.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-266422

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G	3/20		H 0 3 G	C
	3/30			B

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平8-73766

(22) 出願日 平成8年(1996)3月28日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 椎野 玄博

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 山口 法夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

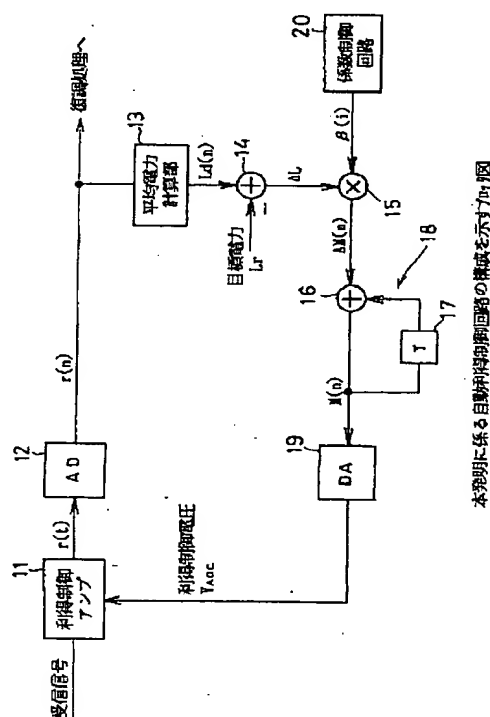
(74) 代理人 弁理士 工藤 宣幸

(54) 【発明の名称】 自動利得制御回路

(57) 【要約】

【課題】 入力信号のレベルを目標レベルに速やかにかつスムーズに収束させる。

【解決手段】 入力信号のレベルを調整する利得制御アンプ11と、このアンプ11の利得を制御する利得制御手段13、14、15、18、19と、この利得制御手段に可変の係数を加えて入力信号のレベル変動に対する追従性を調整する係数制御回路20とを備えてなる。係数として、立ち上げ時に対応した追従性が最速の初期値 $\beta(1)$ と、通常受信時に対応した安定性の高い収束値 $\beta(n)$ とを設定し、この係数を初期値 $\beta(1)$ から単調変化させて一定時間経過後に収束値 $\beta(n)$ に収束させる。時間の経過と共に動作時間 $\tau(i)$ を長く、係数値 $\beta(i)$ を小さくする。これにより、当初は入力信号のレベルを目標レベルまで速やかに追従させ、その後緩やかにかつスムーズに収束させる。



【特許請求の範囲】

【請求項 1】 入力信号のレベルを調整する利得可変の増幅手段と、この増幅手段の利得を制御する利得制御手段と、この利得制御手段に可変の係数を加えて入力信号のレベル変動に対する追従性を調整する係数制御手段とを備えてなり、

前記係数として、立ち上げ時に対応した追従性が最速の初期値と、通常の受信時に対応した安定性の高い収束値とを設定し、この係数を、立ち上げ時からの時間が進むにつれて前記初期値から単調変化させて一定時間経過後に前記収束値に収束するように制御することを特徴とする自動利得制御回路。

【請求項 2】 請求項 1 に記載の自動利得制御回路において、

前記係数として単調変化した複数の値を用い、立ち上げ時からの時間が進むにつれて、各係数値で動作する時間を大きくすることを特徴とする自動利得制御回路。

【請求項 3】 請求項 1 に記載の自動利得制御回路において、

立ち上げ時からの時間が進むにつれて前記係数の変化量を小さくする係数制御と、立ち上げ時からの時間が進むにつれて各係数値で動作する時間の変化量を大きくする時間制御の一方又は両方を行うことを特徴とする自動利得制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は受信信号のレベルを自動的に最適状態に保つ自動利得制御回路に関するものである。

【0002】

【従来の技術】 デジタル信号処理を行う受信機では、受信信号のレベルを最適に保つために、自動利得制御回路が用いられる。特に、デジタル移動通信の端末においては、平均受信電力のダイナミックレンジは 70 dB 以上にもおよび、さらにこれにフェージングによる瞬時的なレベル変動が加わるため、自動利得制御回路による受信信号レベルの制御は重要である。

【0003】 従来の自動利得制御回路としては図 2 に示すような構成のものが知られている。図において、アナログの受信信号 $r(t)$ は、まず利得制御アンプ 1 で増幅された後、AD 変換器 2 でデジタル受信信号 $r(n)$ に変換される。ここで、 n はサンプリング時刻を示す。 $r(n)$ はそのまま復調処理部（図示せず）に入力されると同時に、平均電力計算部 3 にも入力される。この平均電力計算部 3 において受信信号 $r(n)$ の平均電力 $L_d(n)$ が計算された後、減算器 4 において目標電力 L_r との誤差電力 ΔL が計算される。誤差電力 ΔL には乗算器 5 で後述する係数 β が乗ぜられ、加算器 6 とレジスタ 7 とからなる積分器で積分される。この積分器の出力 $M(n)$ が DA 変換器 8 において電圧に変換され、利得制御アンプ 1 の制御

電圧 V_{AGC} として出力される。

【0004】 この自動利得制御回路はフィードバック系を構成しており、ループの動作時定数は係数 β の値によって決定される。即ち、係数 β が大きければ、時定数は小さくなって受信信号のレベル変動に対する追従性がよくなり、その結果、制御値が振動して不安定となる。これに対して係数 β が小さければ、時定数は大きくなって受信信号のレベル変動に対する追従性が悪くなり、安定する。このように、制御ループの追従性と安定性とはトレードオフの関係にあり、通信端末立ち上げ時のように追従性を優先させる場合には係数 β の値を大きくし、通常の受信動作時のように安定性を優先させる場合には係数 β の値を小さくする。この係数 β を所定値に設定し、その値を用いて前記制御を行うようになっている。

【0005】

【発明が解決しようとする課題】 しかしながら、前記従来の自動利得制御回路では、通信端末を立ち上げて自動利得制御回路の制御を開始する際には、前述したようにフェージングの影響等によって受信レベルが大きく変動することがある。この場合において、係数 β の値を大きく設定しておく、と、制御値が振動して適切な値に収束させることができないおそれがある。逆に係数 β の値を小さく設定しておく、と、フェージングによるレベル変動に不必要に反応することは避けられるが、収束が遅くなるという問題点がある。

【0006】

【課題を解決するための手段】 前記課題を解決するために第 1 の発明は、入力信号のレベルを調整する利得可変の増幅手段と、この増幅手段の利得を制御する利得制御手段と、この利得制御手段に可変の係数を加えて入力信号のレベル変動に対する追従性を調整する係数制御手段とを備えてなり、前記係数として、立ち上げ時に対応した追従性が最速の初期値と、通常の受信時に対応した安定性の高い収束値とを設定し、この係数を、立ち上げ時からの時間が進むにつれて前記初期値から単調変化させて一定時間経過後に前記収束値に収束するように制御することを特徴とする。

【0007】 これにより、立ち上げ時に前記初期値の係数を用いることで、時定数が小さくなり、入力信号のレベルを目標レベル近くまで速やかに追従させる。その後、立ち上げ時からの時間が進むにつれて、係数を前記収束値に近づけて時定数を次第に大きくし、入力信号のレベルを目標レベルに収束させていく。

【0008】 第 2 の発明では、前記係数として単調変化した複数の値を用い、立ち上げ時からの時間が進むにつれて、各係数値で動作する時間を大きくすることを特徴とする。

【0009】 このように、立ち上げ時からの時間が進むにつれて、各係数値で動作する時間を大きくすることで、係数値が前記初期値から、始めは急激に、その後次

第に緩やかに変化して前記収束値に収束する。これにより、入力信号のレベルは、立ち上げ時に目標レベルまで速やかに追従し、その後、前記係数値が前記収束値に収束するに従って、目標レベルにスムーズに収束していく。

【0010】第3の発明では、立ち上げ時からの時間が進むにつれて前記係数の変化量を小さくする係数制御と、立ち上げ時からの時間が進むにつれて各係数値で動作する時間の変化量を大きくする時間制御の一方又は両方を行うことを特徴とする。

【0011】このように、立ち上げ時からの時間が進むにつれて、係数の変化量を、例えば直前の係数の半分にしていこうように、次第に小さくし、各係数値で動作する時間を、例えば直前の時間の2倍にしていこうように、次第に大きくすることで、係数値を前記初期値から前記収束値まで、より速やかにかつスムーズに収束させることができる。これにより、入力信号のレベルは、目標レベルまでより速やかに追従してスムーズに収束していく。

【0012】

【発明の実施の形態】以下に、本発明の一実施形態を添付図面を参照しながら説明する。図1は本発明に係る自動利得制御回路の構成を示すブロック図、図3は係数制御回路を示すブロック図、図4は係数制御回路での係数値及び動作時間の制御パターンを示すグラフである。

【0013】本実施形態に係る自動利得制御回路の全体構成は前記従来の自動利得制御回路とほぼ同様である。具体的には図1に示すように、不規則に変動する受信信号のレベルを一定値に調整する利得可変の増幅手段としての利得制御アンプ11と、この利得制御アンプ11から出力されたアナログ信号をディジタル信号に変換するAD変換器12と、このAD変換器12からの出力信号の電力の平均値を計算する平均電力計算部13と、この平均電力計算部13で算出した平均電力と予め設定された目標電力との差分を取って目標電力 L_r との誤差電力 ΔL を計算する減算器14と、この減算器14で算出された誤差電力 ΔL と後述する係数制御回路20からの係数 $\beta(i)$ とを乗算する乗算器15と、加算器16及びレジスタ17からなり乗算器15からの出力値 $\Delta M(n)$ を積分する積分器18と、この積分器18からディジタルの出力値 $M(n)$ をアナログの信号に変換するDA変換器19とを備えて構成されている。DA変換器19からの出力信号は、利得制御アンプ11を制御する利得制御電圧 V_{AGC} として利得制御アンプ11に出力される。そして、前記平均電力計算部13、減算器14、乗算器15、DA変換器18及びDA変換器19で、利得制御アンプ11の利得を制御する利得制御手段が構成されている。

【0014】前記乗算器15において減算器14からの誤差電力 ΔL と乗ぜられる係数 $\beta(i)$ は係数制御回路20から出力される。この係数 $\beta(i)$ は、前記利得制御手

段に加えられることで、この利得制御手段の時定数を変化させて入力信号のレベル変動に対する追従性を調整するためのものである。係数制御回路20は、図3に示すように主に、タイマ21とアドレス発生部22と係数メモリ23とから構成されている。

【0015】タイマ21は、通信端末の立ち上げによってリセットされてカウントを開始し、カウント信号をアドレス発生部22に出力するようになっている。

【0016】アドレス発生部22には、動作時間 $\tau(1)$ から $\tau(n)$ までが格納されている。この動作時間 $\tau(i)$ ($i=1, 2, \dots, n$)は、その間だけそれぞれに対応する係数 $\beta(i)$ (i は前記 $\tau(i)$ に対応したもので、 $i=1, 2, \dots, n$)を乗算器15に出力するように設定された時間である。

【0017】動作時間 $\tau(1)$ から $\tau(n)$ は、それぞれ任意に設定できるようになっており、 $\tau(j-1) < \tau(j)$ ($j=2, 3, \dots, n$)の関係が成り立つように設定される。即ち、係数 $\beta(i)$ が小さくなるにつれてその値で動作する動作時間 $\tau(i)$ が単調増加するように設定される。具体的には、図4の時間軸のように、 t_1, t_2, \dots を設定し、0から t_1 までを $\tau(1)$ 、 t_1 から t_2 までを $\tau(2)$ というように、その時間の変化量 $\{\tau(j) - \tau(j-1)\}$ が次第に大きくなるように設定する。なお、図4では、ほぼ $\{\tau(j) = 2\tau(j-1)\}$ の関係が成立するように設定されている。これにより、通信端末の立ち上げ時には短い間隔で、その後次第に長い間隔で係数 $\beta(i)$ が切り替わって、最終的な収束値 $\beta(n)$ に徐々に収束していくようになっている。なお、 n は任意の数値であり、大まかに制御する場合は小さな数値に、細かく制御する場合には大きな数値にする。

【0018】係数メモリ23には予め設定された係数 $\beta(i)$ ($i=1, 2, \dots, n$)が格納されている。この係数 $\beta(i)$ は、それに対応した動作時間 $\tau(i)$ の間だけ乗算器15に出力されるようになっている。即ち、動作時間 $\tau(i)$ の間だけアドレス発生部22から係数メモリ23に出力される制御信号によって、係数メモリ23内に格納された動作時間 $\tau(i)$ に対応する係数 $\beta(i)$ がその動作時間 $\tau(i)$ の間だけ乗算器15に出力されるようになっている。

【0019】この係数 $\beta(i)$ の値は、通信端末の立ち上げ時の初期値 $\beta(1)$ を大きく設定され、次第に小さくなるように、単調減少させて設定されている。即ち、 $\beta(j-1) > \beta(j)$ ($j=2, 3, \dots, n$)の関係が成り立つように設定されている。さらに、この係数の減少量 $\{\beta(j-1) - \beta(j)\}$ は、次第に小さくなるように設定されている。なお、図4では、ほぼ $\{2/3 \cdot \beta(j-1) = \beta(j)\}$ の関係が成立するように設定されている。これにより、前記動作時間 $\tau(i)$ の設定と相まって、端末の立ち上げ直後は係数 $\beta(i)$ が大きく変化し、即ち始めのうちは係数 $\beta(i)$ が急激に減少し、その後徐

々に減少量が小さく、かつ時間が短くなって最終的な収束値 $\beta(n)$ にゆっくり近づくようになっている。なおここで、初期値 $\beta(1)$ は、受信レベルの大きな変動に対して最適に追従できるように、即ち追従性が最速になるように十分に大きな値に設定されている。また、収束値 $\beta(n)$ は、フェージング等によるレベル変動に対して制御値が不必要に追従しないように、即ち高い安定性を得られるように十分に小さな値に設定されている。

【0020】【作用】以上のように構成された自動利得制御回路では次のように作用する。なお、自動利得制御回路の全体的な作用は前記従来の自動利得制御回路とほぼ同様である。即ち、アナログの受信信号 $r(t)$ は、利得制御アンプ 11 で増幅された後、AD変換器 12 でデジタル受信信号 $r(n)$ に変換され、復調処理部（図示せず）に入力されると同時に、平均電力計算部 13 に入力される。この平均電力計算部 13 で受信信号 $r(n)$ の平均電力 $Ld(n)$ が計算され、減算器 14 で目標電力 Lr との誤差電力 ΔL が計算される。この誤差電力 ΔL は乗算器 15 へ出力され、この乗算器 15 において係数制御回路 20 からの係数 $\beta(i)$ が乗ぜられ、加算器 16 とレジスタ 17 とからなる積分器で積分されてその出力 $M(n)$ が DA変換器 18 で制御電圧 V_{AGC} に変換されて利得制御アンプ 11 へ出力される。

【0021】係数制御回路 20 においては、通信端末の立ち上げによってタイマ 21 にリセット信号が出力される。これによりタイマ 21 は新たにカウントを始め、その信号がアドレス発生部 22 に出力する。アドレス発生部 22 においては、タイマ 21 からの信号によって動作時間 $\tau(i)$ の間だけそれに対応する係数 $\beta(i)$ のアドレス信号が係数メモリ 23 へ出力される。これにより、動作時間 $\tau(i)$ の間だけ係数メモリ 23 から係数 $\beta(i)$ が乗算器 15 へ出力され、図 4 に示すグラフのように、最初は大きな係数 $\beta(1)$ が短い動作時間 $\tau(1)$ だけ出力される。そして、次第に係数 $\beta(i)$ が小さく、動作時間 $\tau(i)$ が長くなっていく。これにより係数 $\beta(i)$ は、最初のうちは大きく速やかに変化し、次第に小さく緩やかに変化してスムーズに最終値 $\beta(n)$ に収束していく。

【0022】この結果、前記利得制御手段を、追従性重視の状態から安定性重視の状態に、即ち立ち上げ時の追従性が最速の状態から次第に追従性が鈍くなって安定性が高い通常の受信状態に、迅速にかつスムーズに移行させることができる。これにより、受信信号の平均電力は、立ち上げ時に目標電力まで速やかに追従し、その後緩やかに目標電力に収束していく。

【0023】係数 $\beta(i)$ が最終的な収束値 $\beta(n)$ まで変化した後は、この収束値 $\beta(n)$ に固定し、フェージング等によるレベル変動に制御値が不必要に追従しないようにする。

【0024】【効果】以上のように、係数の初期値 $\beta(1)$ を大きく設定し、通信端末の立ち上げ時の追従性を

最速にして大きなレベル変動に最適に追従できるようにしたので、立ち上げ時に、受信信号の平均電力を目標電力まで速やかに追従させることができる。

【0025】さらに、立ち上げ時からの時間が進むにつれて動作時間 $\tau(i)$ を長くすると共に、係数 $\beta(i)$ を小さくするようにしたので、係数 $\beta(i)$ を、立ち上げ時の係数 $\beta(1)$ から通常受信時の係数 $\beta(n)$ に、速やかにかつスムーズに収束させることができるようになる。この結果、立ち上げ時に目標電力まで速やかに追従させた受信信号の平均電力を、その後、緩やかにかつスムーズに目標電力に収束させることができる。

【0026】【変形例】

(1) 前記実施形態では、係数 $\beta(i)$ 及び動作時間 $\tau(i)$ の変化を図 4 の曲線 31 に示すように設定したが、これらは通信端末の種類等の諸条件に応じて異なり、それらに応じて図 4 中の曲線 32, 33, 34 等のように、他の変化率で収束するように設定してもよい。また、係数 $\beta(i)$ の大きさ及び動作時間 $\tau(i)$ の長さも、使用する通信端末等の種類に応じて適宜設定する。

【0027】さらに、係数 $\beta(i)$ を等間隔で変化するように設定し、動作時間 $\tau(i)$ を図 4 のようにその変化量が徐々に大きくなるように設定してもよく、係数 $\beta(i)$ を図 4 のようにその変化量が徐々に小さくなるように設定し、動作時間 $\tau(i)$ を等間隔で変化するように設定してもよい。

【0028】(2) また、前記実施形態では、無線通信の通信端末を例に説明したが、有線通信の場合でも本願発明を適用することにより、前記実施形態同様の作用、効果を奏することができる。

【0029】(3) さらに、前記実施形態においては、利得制御アンプ 11 に対する制御信号 $M(n)$ (V_{AGC}) を、乗算器 15 からの出力信号 $\Delta M(n)$ に応じて見直して、基本的には常時変化させるものを示したが、特願平 7-165565 号明細書及び図面に記載のように、所定の条件が成立する場合には、次の時刻 $n+1$ においても維持するようにしても良い。すなわち、時刻 n での制御信号 $M(n)$ を時刻 $n+1$ に維持したと仮定した場合に時刻 n での受信信号レベルから予測される時刻 $n+1$ での平均電力の予測値と、時刻 $n+1$ での平均電力の観測値とがほぼ等しい場合に、加算器 16 での時刻 $n+1$ での信号 $\Delta M(n+1)$ の加算動作を禁止し、時刻 $n+1$ での制御信号 $M(n+1)$ として時刻 n での制御信号 $M(n)$ をそのまま出力させるようにしても良い。

【0030】以上のように上記実施形態の特徴構成と、特願平 7-165565 号明細書及び図面に記載の特徴構成とを組み合わせた場合、上記実施形態での立ち上げ時の高速な追従性を維持したまま、通常状態での安定性を上記実施形態以上に高めることができるようになる。

【0031】

【発明の効果】以上、詳述したように本発明の自動利得

制御回路によれば次のような効果を奏することができる。

【0032】通信端末の立ち上げ時に追従性を最速にして大きなレベル変動に最適に追従できるように係数を設定したので、立ち上げ時に、入力信号のレベルを目標レベルまで速やかに追従させることができる。

【0033】さらに、立ち上げ時からの時間が進むにつれて各係数で動作する時間を長くすると共に、係数を小さくするようにしたので、係数を、立ち上げ時の初期値から通常受信時の収束値に、速やかにかつスムーズに収束させることができるようになる。この結果、立ち上げ時に目標レベルまで速やかに追従させた入力信号のレベルを、その後、緩やかにかつスムーズに目標レベルに収束させることができる。

【図面の簡単な説明】

【図1】本発明に係る自動利得制御回路の構成を示すブロック図である。

【図2】従来の自動利得制御回路の構成を示すブロック図である。

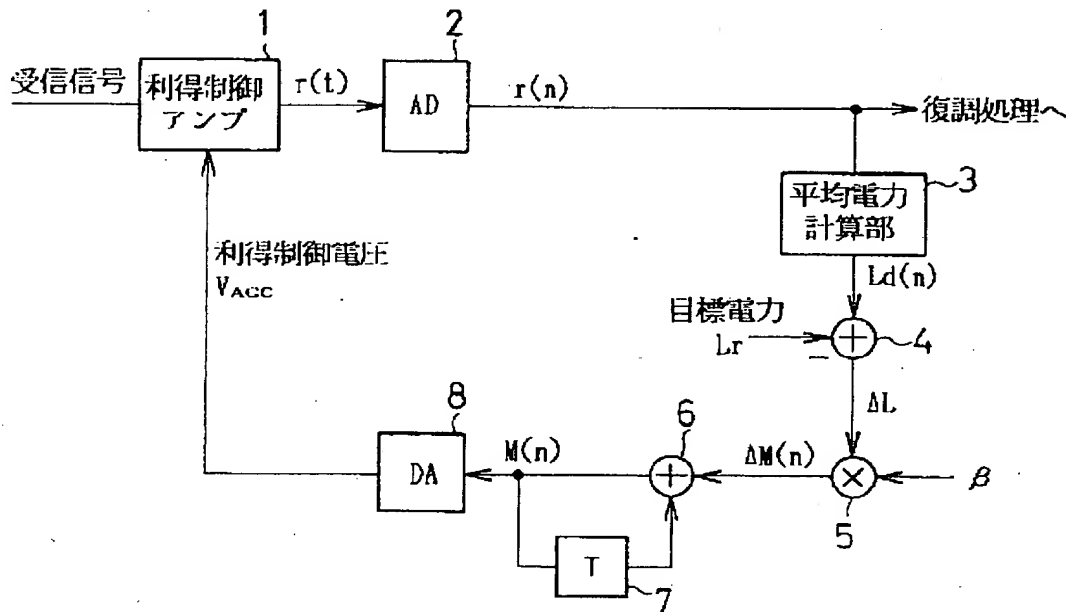
【図3】本発明に係る係数制御回路を示すブロック図である。

【図4】本発明に係る係数制御回路での係数値及び動作時間の制御パターンを示すグラフである。

【符号の説明】

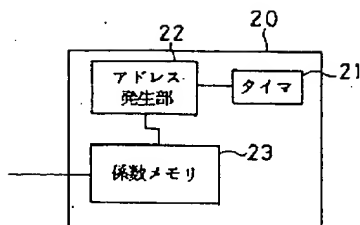
11：利得制御アンプ、12：AD変換器、13：平均電力計算部、14：減算器、15：乗算器、16：加算器1、17：レジスタ、18：DA変換器、19：DA変換器、20：係数制御回路。

【図2】



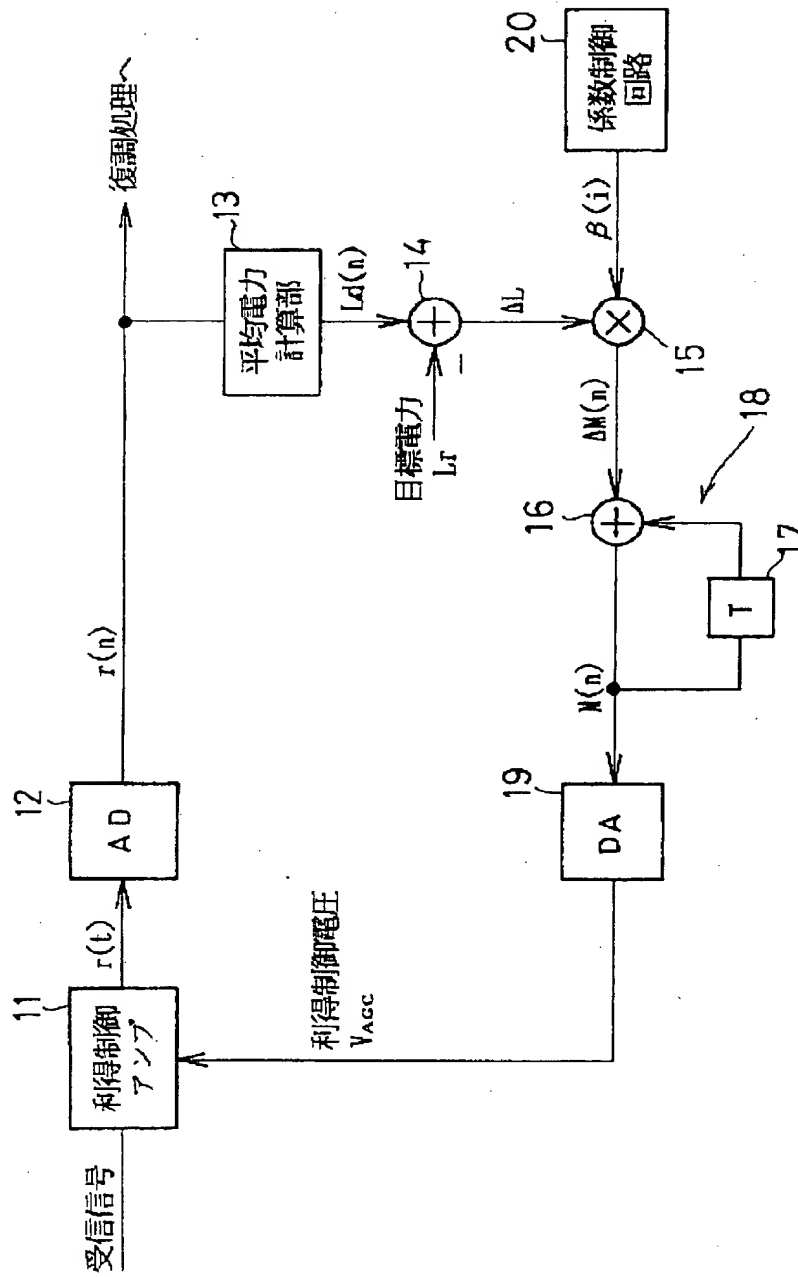
従来の自動利得制御回路の構成を示すブロック図

【図3】



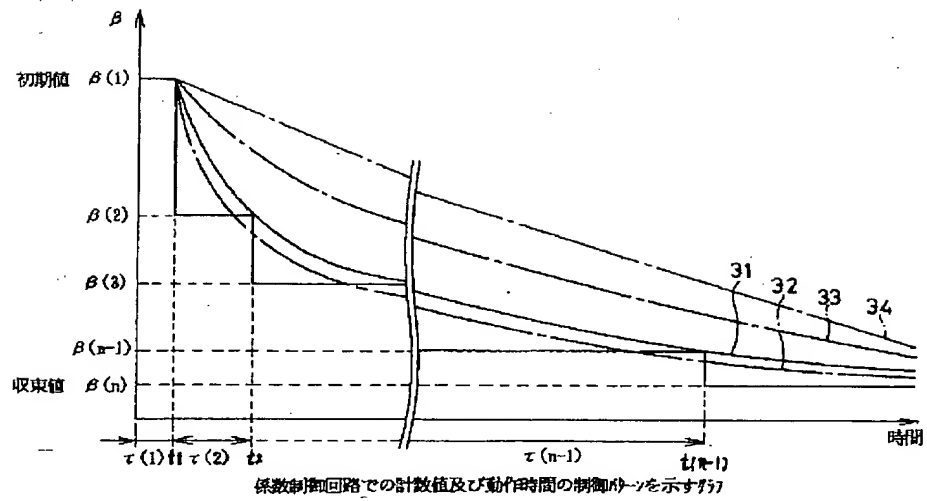
係数制御回路を示すブロック図

【図 1】



本発明に係る自動利得制御回路の構成を示すブロック図

【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.